

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 19 日
Application Date

申請案號：092113437
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 6 日
Issue Date

發文字號：09220797000
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	使溝槽電容之溝槽均勻填入罩幕層的方法及形成具有均勻一致之溝槽電容之下電極的方法
	英 文	METHOD FOR FORMING UNIFORM BOTTOM ELECTRODE IN TRENCH OF TRENCH CAPACITOR
二、 發明人 (共2人)	姓 名 (中文)	1. 陳逸男 2. 陳怡成
	姓 名 (英文)	1. Yi-Nan Chen 2. Yi-Chen Chen
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北市北投區建民路151巷4號 2. 桃園縣龜山鄉文化二路38之13號6樓
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



0548.0021 TW/N1 : 01303 : Clame.pdf

四、中文發明摘要 (發明名稱：使溝槽電容之溝槽均勻填入罩幕層的方法及形成具有均勻一致之溝槽電容之下電極的方法)

本發明提供一種使溝槽電容之溝槽均勻填入罩幕層及一種形成具有均勻一致之溝槽電容之下電極的方法，其中填入罩幕層的方法首先，提供一半導體基底，半導體基底具有一溝槽密集區及一溝槽稀疏區，溝槽密集區及溝槽稀疏區形成有複數溝槽，且形成於溝槽密集區之溝槽密度高於溝槽稀疏區；接著，於半導體基底上形成一罩幕層，罩幕層填滿溝槽；以一傾斜角度對罩幕層進行蝕刻步驟至露出半導體基底之溝槽密集區及溝槽稀疏區，以留下溝槽內之罩幕層；及對溝槽內之罩幕層進行蝕刻步驟，使每一溝槽內之罩幕層之厚度大體相同。

伍、(一)、本案代表圖為：第3f圖。

(二)、本案代表圖之元件代表符號簡單說明：

31~溝槽密集區；

32~溝槽稀疏區；

六、英文發明摘要 (發明名稱：METHOD FOR FORMING UNIFORM BOTTOM ELECTRODE IN TRENCH OF TRENCH CAPACITOR)

A method for forming a uniform bottom electrode in a trench of a trench capacitor. A semiconductor substrate has a dense trench area and a less dense trench area with a plurality of trenches formed in both areas respectively. A hard mask layer is formed on the semiconductor substrate, and the trenches are filled with the mask layer. The hard mask layer is etched at an angle until the dense



四、中文發明摘要 (發明名稱：使溝槽電容之溝槽均勻填入罩幕層的方法及形成具有均勻一致之溝槽電容之下電極的方法)

301~半導體基底；

302~墊氧化層；

303~墊層；

304~硬罩幕層；

305~圖案化光阻層；

306、307~開口；

308~溝槽；

309~摻雜玻璃層；

310a、310b、310c、310d~光阻層；

311~離子趨入區。

六、英文發明摘要 (發明名稱：METHOD FOR FORMING UNIFORM BOTTOM ELECTRODE IN TRENCH OF TRENCH CAPACITOR)

trench area and the rare trench area in the semiconductor substrate are exposed to leave the hard mask layer in the trenches. Finally, the hard mask layers in the trenches are etched, and a uniform thicknesses of the hard mask layer in the trenches is achieved.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

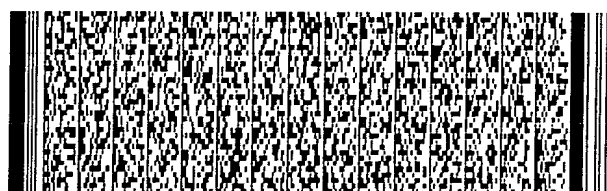
【發明所屬之技術領域】

本發明係有關於一種溝槽電容之下電極的形成方法，特別係有關於一種使每一記憶單元中在形成電容下電極時使用之罩幕層厚度均勻的方法，以達到使每一溝槽電容之電容下電極尺寸一致。

【先前技術】

動態隨機存取記憶體(Dynamic Random Access Memory，以下簡稱為DRAM)係以記憶單元(memory cell)內電容的帶電荷(charging)狀態來儲存資料，也就是說，電容器所能儲存的電荷愈多其電容值愈大，則讀出放大器在讀取資料時受到雜訊影響的情形，如 α 粒子所導致的軟錯記(Soft Errors)等，將可大幅地降低。換言之，即電容值愈大，記憶體內所儲存資料的穩定度就會愈高。因此，如何增加電容器之電容值乃業界長期以來最重要的研究課題之一。

在積體電路(integrated circuit, IC)晶片上製作高積集度之半導體元件時，必須考慮如何縮小每一個記憶單元(memory cell)的大小與電力消耗，以使其操作速度加快。在傳統的平面電晶體設計中，為了獲得一個最小尺寸之記憶單元，必須盡量將電晶體的閘極長度縮短，以減少記憶單元的橫向面積。但是，這會使閘極無法忍受過大的漏電流而必須相對應地降低位元線上的電壓，進而使得電容所儲存的電荷減少。所以，在縮短閘極的橫向長度同時



五、發明說明 (2)

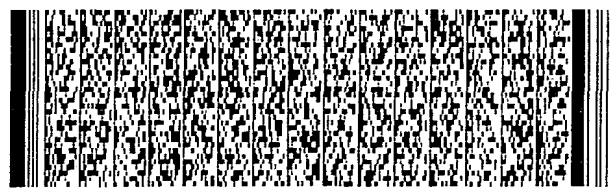
，還要考量如何製作一個具有較大電容量之電容，例如：增加電容之面積、減少電容板之間的有效介質厚度等等。目前高密度記憶體(例如：動態隨機存取記憶體，DRAM)係發展出兩種不同的電容器形成技術，其中一種為堆疊式電容，另一種為深渠溝(deep trench)電容。其中，深渠溝電容之製作係於基底內形成一個深渠溝，並於深渠溝內製作電容儲存區，故不會佔用記憶單元的額外面積。

傳統之深溝槽電容的製造步驟相當繁瑣，美國專利U.S. Pat. No. 4,353,086中對於具有深溝槽電容之DRAM有詳細的描述。

請參考第1a與1b圖，第1a圖係顯示習知DRAM之深渠溝的排列示意圖，第1b圖係顯示沿第1a圖之切線B-B所示之深渠溝的剖面示意圖。

請參考第1a圖，複數個閘極導體104係與一位元線106呈垂直排列，而電晶體之通道、源/汲極擴散區係製作於一主動區域102中。另外，一對深渠溝112係分別設置於相鄰之主動區域102的相鄰端，至於虛線108係指一個記憶單元區域，而虛線138係為一接觸插栓，用來將位元線106電連接至源/汲極擴散區。

請參考第1b圖，以一個P型矽基底101為例，其表面上設置有一P型井層122，一N型埋入層120係形成於P型井層122下方，而深渠溝112係穿越P型井層122與N型埋入層120直至矽基底101內之一預定深度。一N型擴散層114係環繞於深渠溝112下方區域的周圍，用來作為深渠溝電容之電



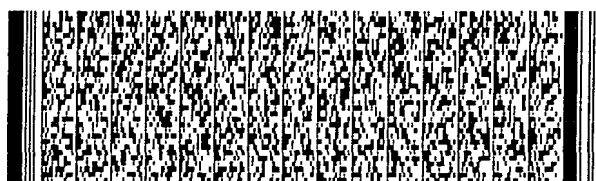
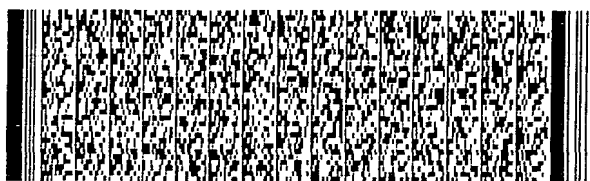
五、發明說明 (3)

極；一N0介電層116係形成於深渠溝112之下方區域的內側壁與底部，用來作為深渠溝電容之有效介質；一第一多晶矽層118係填滿深渠溝112之下方區域，用來作為深渠溝電容之儲存節(storage node)。而且，一領型(collar)氧化層124係設置於深渠溝112之上方區域的側壁上，一第二多晶矽層126係填滿深渠溝112之上方區域，以及一第三多晶矽層128係設置於深渠溝112之頂部，用來作為電連接深渠溝電容與源/汲極擴散區134的埋入帶(buried strap, BS)。此外，在相鄰之深渠溝112之間設置有一淺渠溝隔離(shallow trench isolation, STI)結構130，而在預定之兩個閘極導體104間設置有接觸插栓138，可以將位元線106電連接至源/汲極擴散區134。

請參考第2a-2i圖，第2a-2i圖係顯示習知之形成溝槽式電容之下電極的方法。

請參考第2a圖，首先，提供一半導體基底201，半導體基底201具有一溝槽密集區21及一溝槽稀疏區22。於半導體基底201上依序形成一墊氧化層202、一墊氮化層203、一硼矽酸玻璃(borosilicate glass, BSG)層204及一具有複數開口206之圖案化光阻層205，開口206露出部分硼矽酸玻璃層204之表面，用以定義形成溝槽之位置，而硼矽酸玻璃層204可使形成之溝槽品質較佳，深度亦較容易控制。

請參考第2b圖，以圖案化光阻層205為蝕刻罩幕，蝕刻露出表面之硼矽酸玻璃層204以形成複數開口207後，將



五、發明說明 (4)

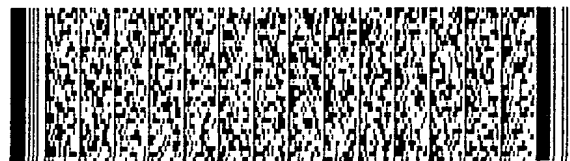
圖案化光阻層205移除，其中，開口207露出部分墊氮化層203的表面。

請參考第2c圖，以硼矽酸玻璃層204為蝕刻罩幕，依序對墊氮化層203、墊氧化層202及半導體基底201進行非等向性蝕刻，以在半導體基底201中形成複數溝槽208，然後將硼矽酸玻璃層204移除。其中，位於溝槽密集區21之溝槽208的數目明顯較位於溝槽稀疏區22要來的多。

請參考第2d圖，於墊氮化層203及溝槽208露出之表面上順應性形成一摻砷矽玻璃層209，摻砷矽玻璃層209用以在後續形成電容之下電極之用。

請參考第2e圖，於摻砷矽玻璃層209上形成光阻層，光阻層會填滿所有之溝槽208。因為溝槽密集區21之溝槽208的數目較溝槽稀疏區22多的緣故，溝槽密集區21會有較多之光阻層填入溝槽208當中，因此溝槽密集區21上之光阻層210a的高度會較溝槽稀疏區22上之光阻層210b的高度要低。

請參考第2f圖，對光阻層210a及210b進行蝕刻步驟至在溝槽208中留下一既定厚度之光阻層。然而，因為光阻層210a及210b之厚度不同的緣故，當溝槽密集區21上之光阻層210a被蝕刻而露出摻砷矽玻璃層209時，溝槽稀疏區22表面上之光阻層210b尚未被蝕刻完，所以當溝槽密集區21之溝槽208中之光阻層210c已被蝕刻成一欲形成之既定厚度時，溝槽稀疏區22之溝槽208中之光阻層210d之厚度會較光阻層210c要厚。



五、發明說明 (5)

請參考第2g圖，以光阻層210c及210d為蝕刻罩幕，將露出表面之摻砷矽玻璃層209去除，而留下被覆蓋之摻砷矽玻璃層209a及209b。因為光阻層210d之厚度較光阻層210c要厚，因此摻砷矽玻璃層209b覆蓋的區域會較摻砷矽玻璃層209a要大。

請參考第2h圖，去除光阻層210c及210d後，對半導體基底201進行熱回火步驟，以使摻砷矽玻璃層209a內之砷離子趨入半導體基底201中；最後，即形成如第2i圖所示之砷離子趨入區211a及211b，然後，將未反應摻砷矽玻璃層209a及209b去除。

因為摻砷矽玻璃層209b較摻砷矽玻璃層209a多的緣故，經過熱回火步驟後在半導體基底201中所形成之作為下電極之砷離子趨入區211b的尺寸會較砷離子趨入區211a大，導致溝槽密集區21及溝槽稀疏區22上所形成之溝槽電容之下電極尺寸有差異的情況。

【發明內容】

有鑑於此，本發明之目的在於提供一種使溝槽內之光阻層厚度均勻一致的方法，避免在溝槽密集或稀疏地區之溝槽所填入之光阻具有差異。

根據上述目的，本發明提供一種使溝槽電容之溝槽均勻填入罩幕層的方法，包括下列步驟：提供一半導體基底，半導體基底具有一溝槽密集區及一溝槽稀疏區，溝槽密集區及溝槽稀疏區形成有複數溝槽，且形成於溝槽密集區



五、發明說明 (6)

之溝槽密度高於溝槽稀疏區；於半導體基底上形成一罩幕層，罩幕層填滿等溝槽；以一傾斜角度對罩幕層進行蝕刻步驟至露出半導體基底之溝槽密集區及溝槽稀疏區，以留下等溝槽內之罩幕層；及對等溝槽內之罩幕層進行蝕刻步驟，使每一溝槽內之罩幕層之厚度大體相同。

根據上述目的，本發明再提供一種使溝槽電容之溝槽均勻填入罩幕層的方法，適用於一動態隨機存取記憶單元，包括下列步驟：提供一半導體基底，半導體基底具有一溝槽密集區及一溝槽稀疏區；於第二襯層及等溝槽上順應性形成一摻雜絕緣層；於摻雜絕緣層上形成一光阻層，光阻層填滿等溝槽；以一傾斜角度光阻層進行蝕刻步驟至露出溝槽密集區及溝槽稀疏區，以留下等溝槽內之光阻層；對等溝槽內之光阻層進行蝕刻，使每一溝槽內之光阻層之厚度大體相同；以等光阻層為蝕刻罩幕，去除露出之摻雜絕緣層，以留下等溝槽內之高度大體相同之等摻雜絕緣層；去除等光阻層；及使等摻雜絕緣層擴散以形成區域大體相同之複數摻雜區。

本發明之另一目的，在於提供一種應用上述方法使動態隨機存取記憶單元中形成具有均勻一致之溝槽電容之下電極的方法。

根據上述目的，本發明提供一種形成具有均勻一致之溝槽電容之下電極的方法，包括下列步驟：提供一半導體基底，半導體基底具有一溝槽密集區及一溝槽稀疏區；於半導體基底上依序形成一第一襯層、一第二襯層、一罩幕



五、發明說明 (7)

層及一圖案化光阻層，圖案化光阻層具有複數開口，等複數開口露出部分單幕層以定義複數溝槽；以圖案化光阻層為單幕，依序蝕刻露出表面之單幕層至露出第二襯層，並繼續蝕刻第二襯層、第一襯層及半導體基底，以在溝槽密集區及溝槽稀疏區形成複數溝槽，且形成於溝槽密集區之溝槽密度高於溝槽稀疏區；去除圖案化光阻層及單幕層；於第二襯層及等溝槽上順應性形成一摻雜玻璃層；於摻雜玻璃層上形成一光阻層，光阻層填滿等溝槽；以一傾斜角度對光阻層進行蝕刻步驟至露出溝槽密集區及溝槽稀疏區，以留下等溝槽內之光阻層；對溝槽內之光阻層進行蝕刻至留下一既定深度之一殘餘光阻層；以殘餘光阻層為單幕，去除露出表面之摻雜玻璃層；去除殘餘光阻層；對半導體基底進行回火步驟以使半導體基底形成一離子驅入區作為下電極；及去除殘餘之摻雜玻璃層。

為使本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

請參考第3a-3j圖，第3a-3j圖係顯示本發明之形成溝槽式電容之下電極的方法。

請參考第3a圖，首先，提供一半導體基底301，半導體基底301具有一溝槽密集區31及一溝槽稀疏區32。於半導體基底301上依序形成一墊層303、一硬單幕層304及一



五、發明說明 (8)

具有複數開口306之圖案化光阻層305，開口306會露出部分硬罩幕層304之表面，用以定義形成溝槽之位置。其中，墊層之材質例如是氮化層；硬罩幕層304之材質例如是硼矽玻璃絕緣層(borosilicate glass, BSG)或是氮化層與硼矽玻璃之組合，可使溝槽之品質較佳，深度等條件亦較容易控制；半導體基底301與墊層303間更可形成一墊氧化層302，可使半導體基底301與墊層303間之附著性更佳。

請參考第3b圖，以圖案化光阻層305為蝕刻罩幕，蝕刻露出表面之硬罩幕層304以形成複數開口307後，將圖案化光阻層305移除，其中，開口307露出部分墊層303的表面。

請參考第3c圖，以硬罩幕層304為蝕刻罩幕，依序對墊層303、墊氧化層302及半導體基底301進行非等向性蝕刻，以在半導體基底301中形成複數溝槽308，然後將硬罩幕層304移除；其中，非等向性蝕刻步驟例如是反應性離子蝕刻(reactive ion etching)或電漿蝕刻(plasma etching)。非等性蝕刻步驟之後，可明顯看到位於溝槽密集區31之溝槽308的數目較位於溝槽稀疏區32要來的多。

請參考第3d圖，將硬罩幕層304去除後，於墊層303及溝槽308露出之表面上順應性形成一摻雜玻璃層309，摻雜玻璃層309例如是摻砷矽玻璃層(arsenic silicate glass, ASG)，用以在後續製程中形成電容之下電極之用。

請參考第3e圖，於摻雜玻璃層309上形成光阻層，光



五、發明說明 (9)

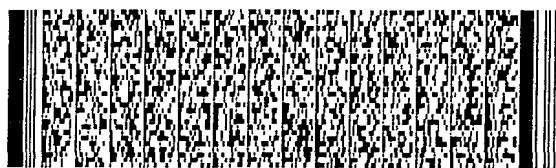
阻層會填滿所有之溝槽308。因為溝槽密集區31之溝槽308的數目較溝槽稀疏區32多的緣故，溝槽密集區31會有較多之光阻層填入溝槽308當中，因此溝槽密集區31上之光阻層310a的高度會較溝槽稀疏區32上之光阻層310b的高度要低。

接下來，進行本發明之一特徵步驟。

請參考第3f圖，以一與法線之夾角大於45度之傾斜角度對光阻層310a及310b進行非等向性蝕刻步驟，直至將摻雜玻璃層309頂部表面上之310a及310b接去除為止，而留下溝槽308中之光阻層310c，如第3g圖所示。其中，非等向性蝕刻步驟例如是反應性離子蝕刻(reactive ion etching)或電漿蝕刻(plasma etching)。

因為此非等向性蝕刻係以一特定角度進行，因此當位於溝槽密集區31之摻雜玻璃層309頂部表面上之厚度較薄的光阻層310a被去除後，溝槽密集區31之溝槽308內之光阻層不易被蝕刻，如此一來，持續進行非等向性蝕刻步驟以去除溝槽稀疏區32上之厚度較後的光阻層310b時，位於溝槽密集區31及溝槽稀疏區32之溝槽308內之光阻層310c之厚度會大體相等。

請參考第3h圖，接著，對光阻層310c進行非等向性蝕刻步驟，直至在溝槽308內形成一具有既定厚度之光阻層310d。因為溝槽密集區31及溝槽稀疏區32之溝槽308內之光阻層310c大體等高的緣故，因此溝槽密集區31及溝槽稀疏區32之溝槽308內最後形成之光阻層310d亦會大體等



五、發明說明 (10)

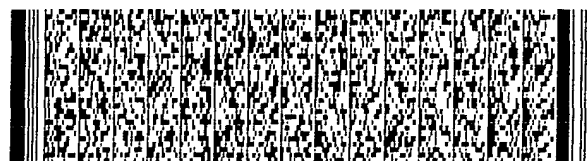
高。

請參考第3i圖，以光阻層310d為蝕刻罩幕，將露出表面之摻雜玻璃層309去除，而留下被覆蓋之摻雜玻璃層309a，溝槽密集區31及溝槽稀疏區32之溝槽308內之摻雜玻璃層309a的尺寸大體相同。去除露出表面之摻雜玻璃層309的方法例如是以氧化物蝕刻緩衝液(buffered oxide etch, BOE)作為蝕刻液來進行濕蝕刻，BOE液體之組成比例例如是 $\text{NH}_4\text{F} : \text{HF} : \text{H}_2\text{O} = 5 : 1 : 48$ 。

請參考第3j圖，去除光阻層310d後，在攝氏900至960度之溫度下對半導體基底301進行熱回火步驟，以使摻雜玻璃層309內摻雜之離子趨入半導體基底301中而形成離子趨入區311；然後，將未反應之摻雜玻璃層309去除。其中，離子趨入區311例如是砷(As)離子趨入區。

因為位於溝槽密集區31及溝槽稀疏區32之溝槽308內之摻雜玻璃層309a的尺寸大體相同的緣故，因此經過熱回火步驟後會在半導體基底301中形成尺寸大體相等之作為下電極之離子趨入區311，可避免溝槽密集區31及溝槽稀疏區32上所形成之溝槽電容之下電極尺寸有差異的情況。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1a圖係顯示習知DRAM之深渠溝的排列示意圖。

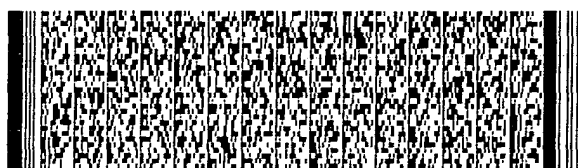
第1b圖係顯示沿第1a圖之切線B-B所示之深渠溝的剖面示意圖。

請參考第2a-2i圖，第2a-2i圖係顯示習知之形成溝槽式電容之下電極的方法。

請參考第3a-3j圖，第3a-3j圖係顯示本發明之形成溝槽式電容之下電極的方法。

符號說明：

- 101~矽基底；
- 102~主動區域；
- 104~閘極導體；
- 106~位元線；
- 108~記憶單元區域；
- 112~深渠溝；
- 114~N型擴散層；
- 116~介電層；
- 118~第一多晶矽層；
- 120~N型埋入層；
- 122~P型井層；
- 124~領型氧化層；
- 126~第二多晶矽層；
- 128~第三多晶矽層；
- 130~淺渠溝隔離結構；



圖式簡單說明

- 134~源/汲極擴散區；
- 138~接觸插栓；
- 21~溝槽密集區；
- 22~溝槽稀疏區；
- 201~半導體基底；
- 202~墊氧化層；
- 203~墊氮化層；
- 204~硼矽酸玻璃層；
- 205~圖案化光阻層；
- 206、207~開口；
- 208~溝槽；
- 209、209a、209b~摻砷矽玻璃層；
- 210a、210b、210c、210d~光阻層；
- 211a、211b~砷離子趨入區；
- 31~溝槽密集區；
- 32~溝槽稀疏區；
- 301~半導體基底；
- 302~墊氧化層；
- 303~墊層；
- 304~硬罩幕層；
- 305~圖案化光阻層；
- 306、307~開口；
- 308~溝槽；
- 309~摻雜玻璃層；



圖式簡單說明

310a、310b、310c、310d~光阻層；

311~離子趨入區。



六、申請專利範圍

1. 一種使溝槽電容之溝槽均勻填入單幕層的方法，包括下列步驟：

提供一半導體基底，該半導體基底具有一溝槽密集區及一溝槽稀疏區，該溝槽密集區及該溝槽稀疏區形成有複數溝槽，且形成於該溝槽密集區之溝槽密度高於該溝槽稀疏區；

於該半導體基底上形成一單幕層，該單幕層填滿該等溝槽；

以一傾斜角度對該單幕層進行蝕刻步驟至露出該半導體基底之該溝槽密集區及該溝槽稀疏區，以留下該等溝槽內之該單幕層；及

對該等溝槽內之該單幕層進行蝕刻步驟，使每一溝槽內之該單幕層之厚度大體相同。

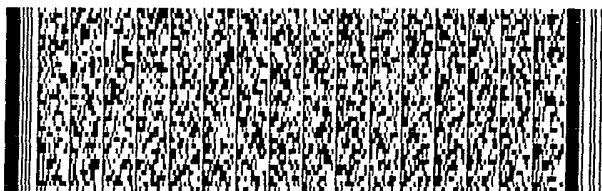
2. 如申請專利範圍第1項所述之使溝槽電容之溝槽均勻填入單幕層的方法，其中該蝕刻方向與該半導體基底之法線之夾角大於45度。

3. 如申請專利範圍第1項所述之使溝槽電容之溝槽均勻填入單幕層的方法，其中該單幕層為光阻層。

4. 一種使溝槽電容之溝槽均勻填入單幕層的方法，適用於一動態隨機存取記憶單元，包括下列步驟：

提供一半導體基底，該半導體基底具有一溝槽密集區及一溝槽稀疏區；

於該第二襯層及該等溝槽上順應性形成一摻雜絕緣層；



六、申請專利範圍

於該摻雜絕緣層上形成一光阻層，該光阻層填滿該等溝槽；

以一傾斜角度該光阻層進行蝕刻步驟至露出該溝槽密集區及該溝槽稀疏區，以留下該等溝槽內之該光阻層；

對該等溝槽內之該光阻層進行蝕刻，使每一溝槽內之該光阻層之厚度大體相同；

以該等光阻層為蝕刻罩幕，去除露出之該摻雜絕緣層，以留下該等溝槽內之高度大體相同之該等摻雜絕緣層；
去除該等光阻層；及

使該等摻雜絕緣層擴散以形成區域大體相同之複數摻雜區。

5. 如申請專利範圍第4項所述之使溝槽電容之溝槽均勻填入罩幕層的方法，其中該第一襯層為墊氧化層。

6. 如申請專利範圍第4項所述之使溝槽電容之溝槽均勻填入罩幕層的方法，其中該第二襯層為墊氮化層。

7. 如申請專利範圍第4項所述之使溝槽電容之溝槽均勻填入罩幕層的方法，其中該罩幕層為硼矽酸玻璃層。

8. 如申請專利範圍第4項所述之使溝槽電容之溝槽均勻填入罩幕層的方法，其中該摻雜絕緣層為摻砷矽玻璃層。

9. 如申請專利範圍第4項所述之使溝槽電容之溝槽均勻填入罩幕層的方法，其中該蝕刻方向與該半導體基底之法線之夾角大於45度。

10. 一種形成具有均勻一致之溝槽電容之下電極的方



六、申請專利範圍

法，包括下列步驟：

提供一半導體基底，該半導體基底具有一溝槽密集區及一溝槽稀疏區；

於該半導體基底上依序形成一第一襯層、一第二襯層、一罩幕層及一圖案化光阻層，該圖案化光阻層具有複數開口，該等複數開口露出部分該罩幕層以定義複數溝槽；

以該圖案化光阻層為罩幕，依序蝕刻露出表面之罩幕層至露出該第二襯層，並繼續蝕刻該第二襯層、該第一襯層及該半導體基底，以在該溝槽密集區及該溝槽稀疏區形成複數溝槽，且形成於該溝槽密集區之溝槽密度高於該溝槽稀疏區；

去除該圖案化光阻層及該罩幕層；

於該第二襯層及該等溝槽上順應性形成一摻雜玻璃層；

於該摻雜玻璃層上形成一光阻層，該光阻層填滿該等溝槽；

以一傾斜角度對該光阻層進行蝕刻步驟至露出該溝槽密集區及該溝槽稀疏區，以留下該等溝槽內之該光阻層；

對該溝槽內之該光阻層進行蝕刻至留下一既定深度之一殘餘光阻層；

以該殘餘光阻層為罩幕，去除露出表面之該摻雜玻璃層；

去除該殘餘光阻層；

對該半導體基底進行回火步驟以使該半導體基底形成



六、申請專利範圍

一 離子驅入區作為下電極；及
去除殘餘之該摻雜玻璃層。

11. 如申請專利範圍第10項所述之形成具有均勻一致之溝槽電容之下電極的方法，其中該第一襯層為墊氧化層。

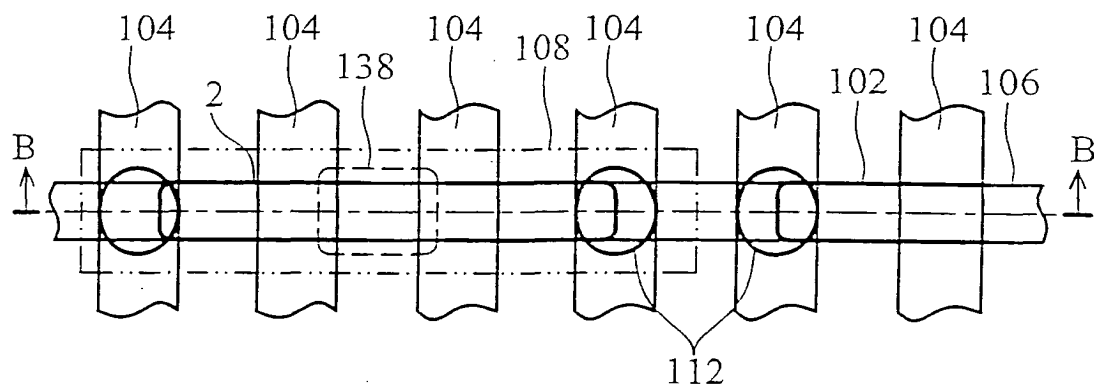
12. 如申請專利範圍第10項所述之形成具有均勻一致之溝槽電容之下電極的方法，其中該第二襯層為墊氮化層。

13. 如申請專利範圍第10項所述之形成具有均勻一致之溝槽電容之下電極的方法，其中該罩幕層為硼矽酸玻璃層。

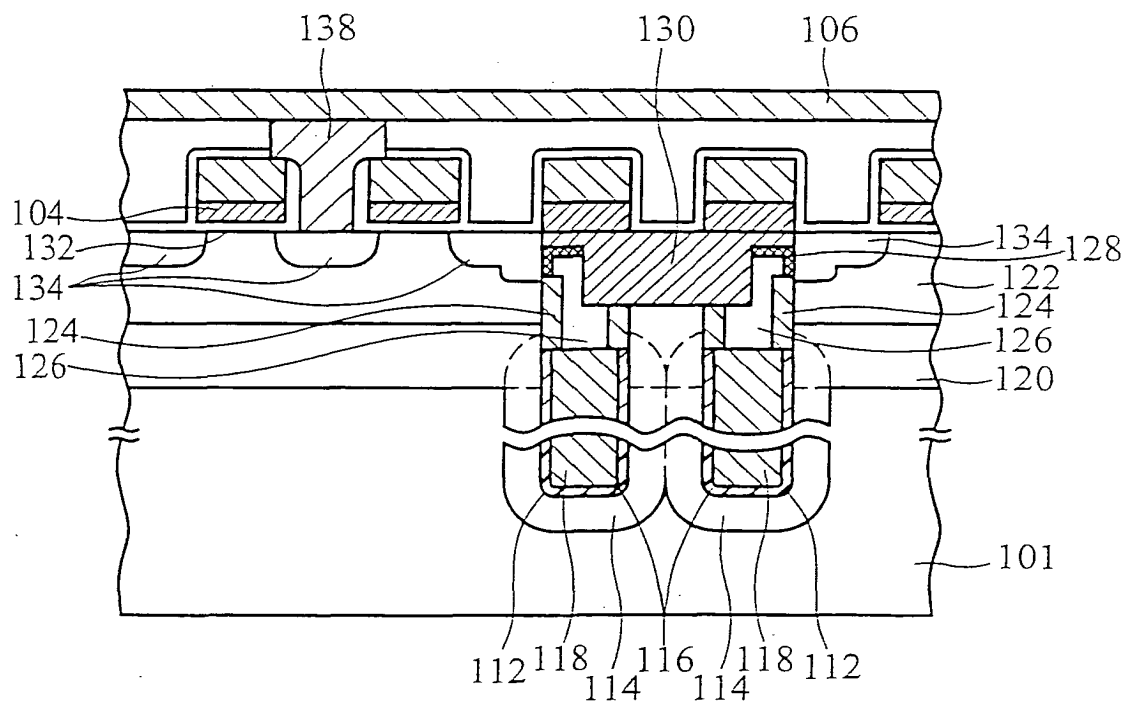
14. 如申請專利範圍第10項所述之形成具有均勻一致之溝槽電容之下電極的方法，其中該摻雜玻璃層為摻砷矽玻璃層。

15. 如申請專利範圍第10項所述之形成具有均勻一致之溝槽電容之下電極的方法，其中該蝕刻方向與該半導體基底之法線之夾角大於45度。

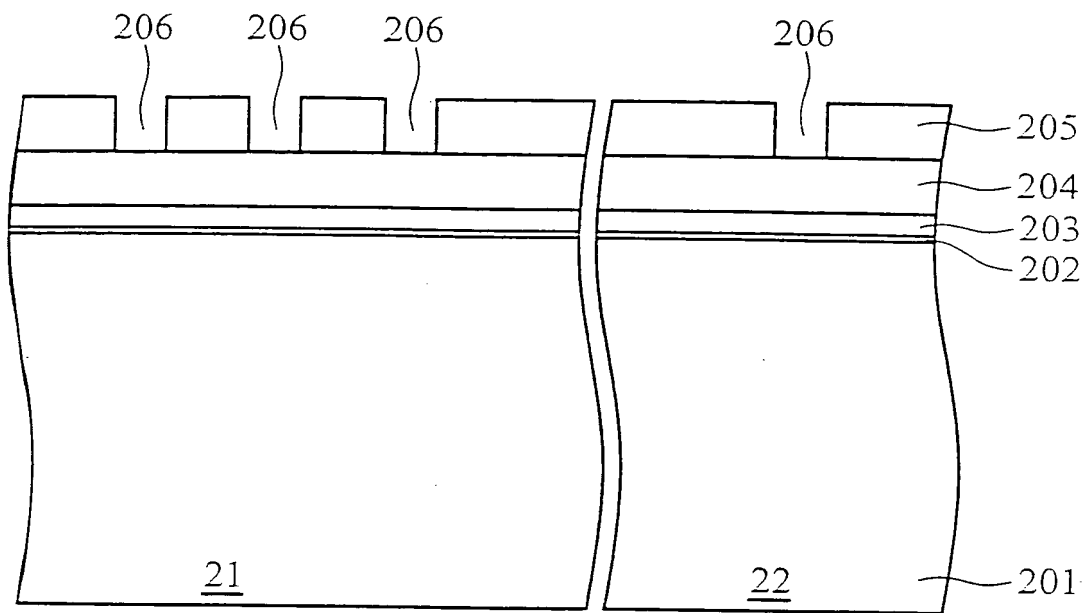




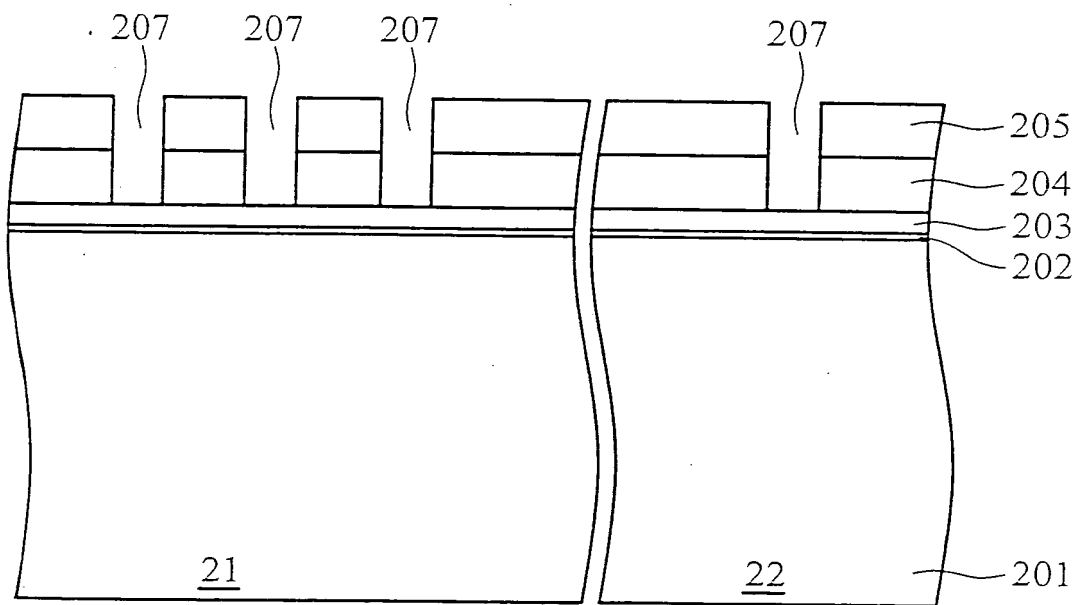
第 1a 圖



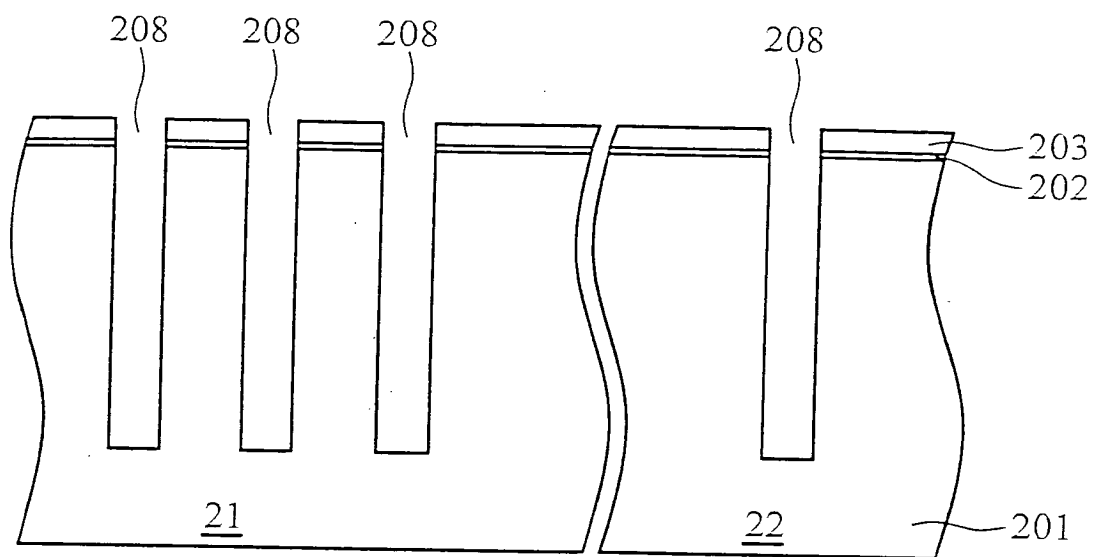
第 1b 圖



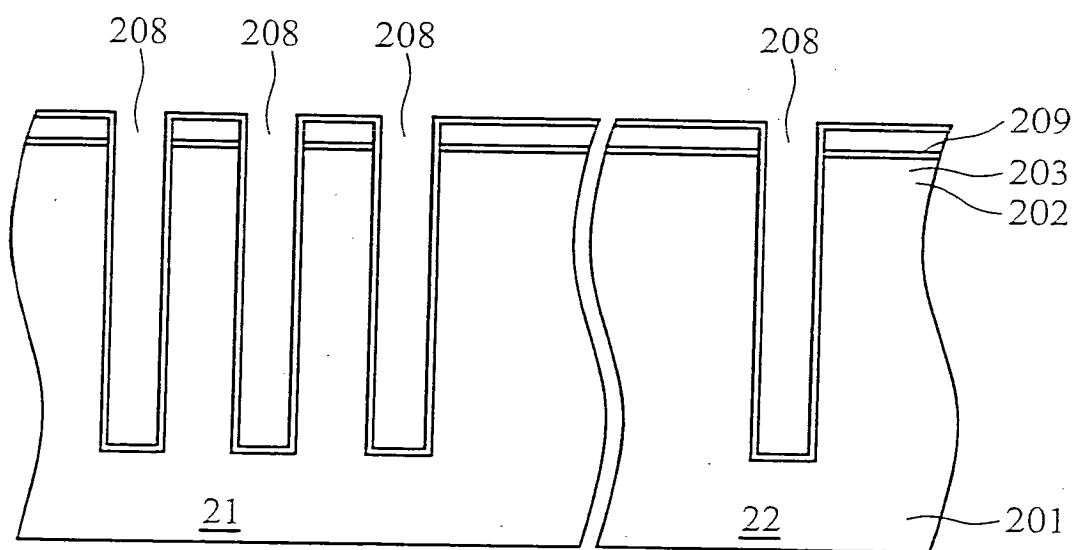
第2a圖



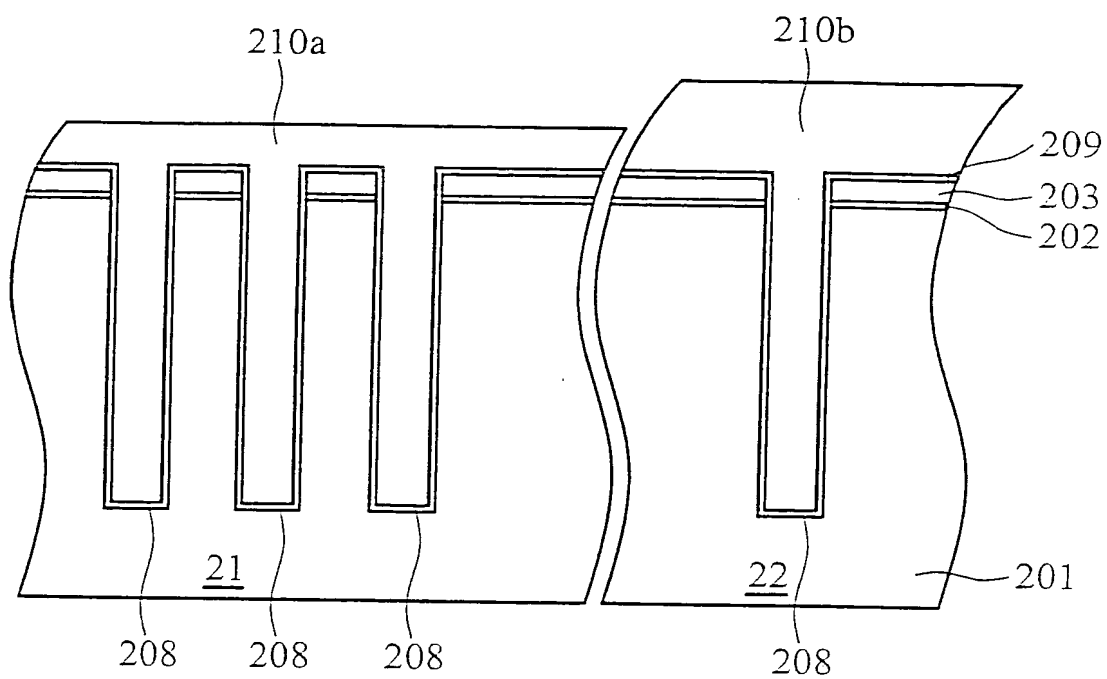
第2b圖



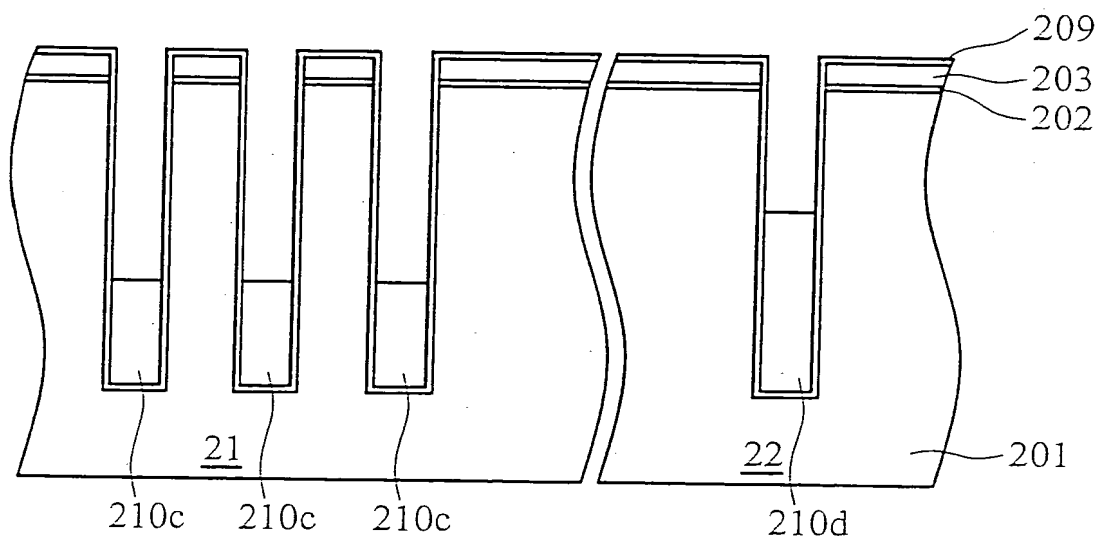
第 2c 圖



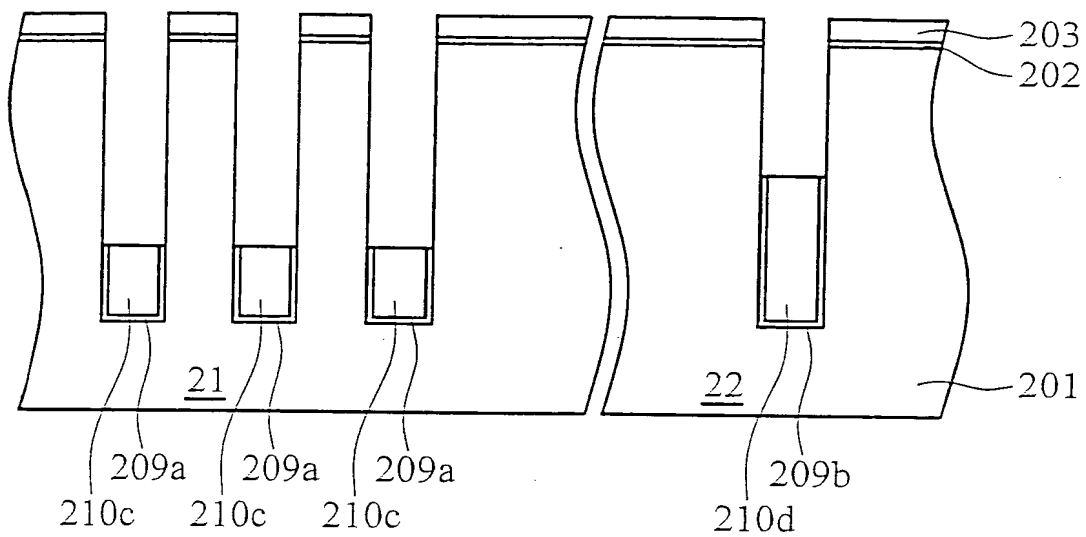
第 2d 圖



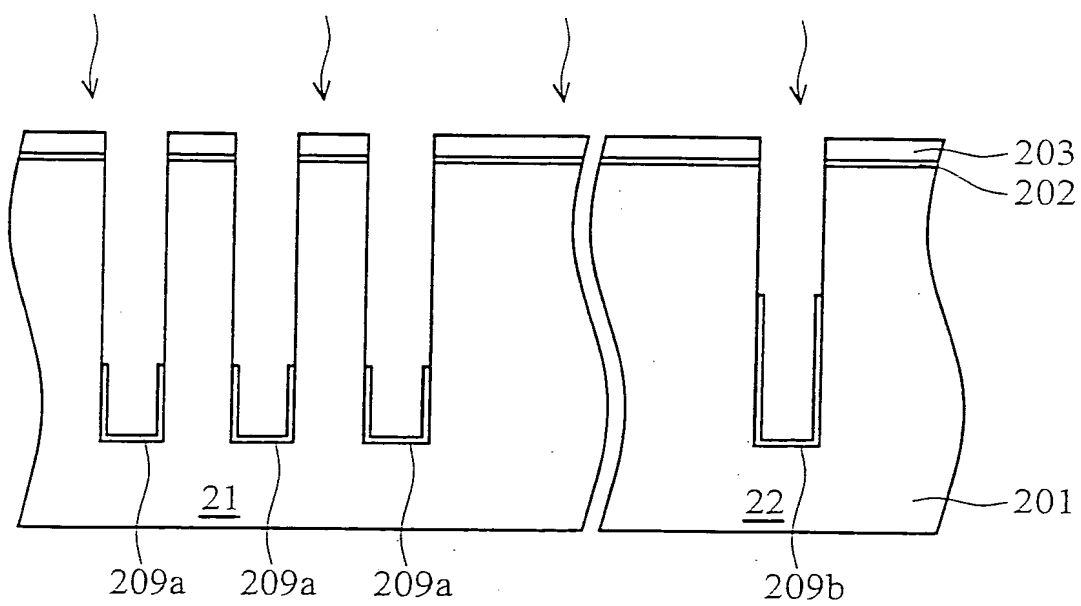
第 2e 圖



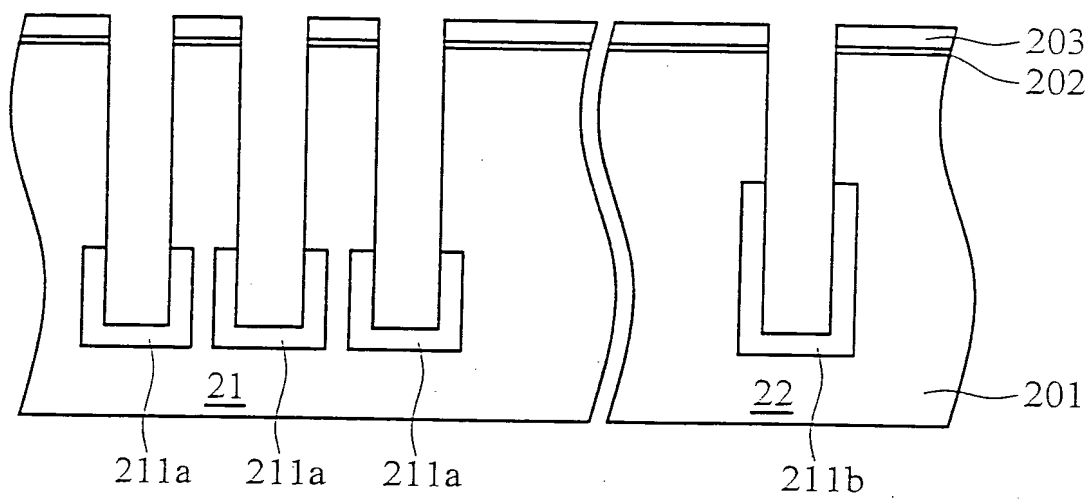
第 2f 圖



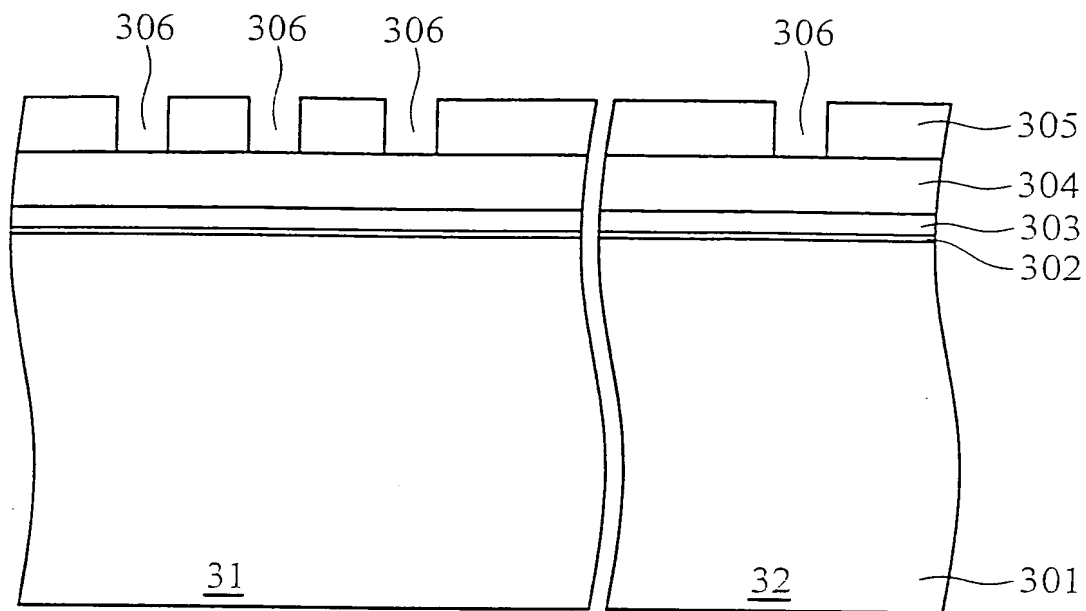
第 2g 圖



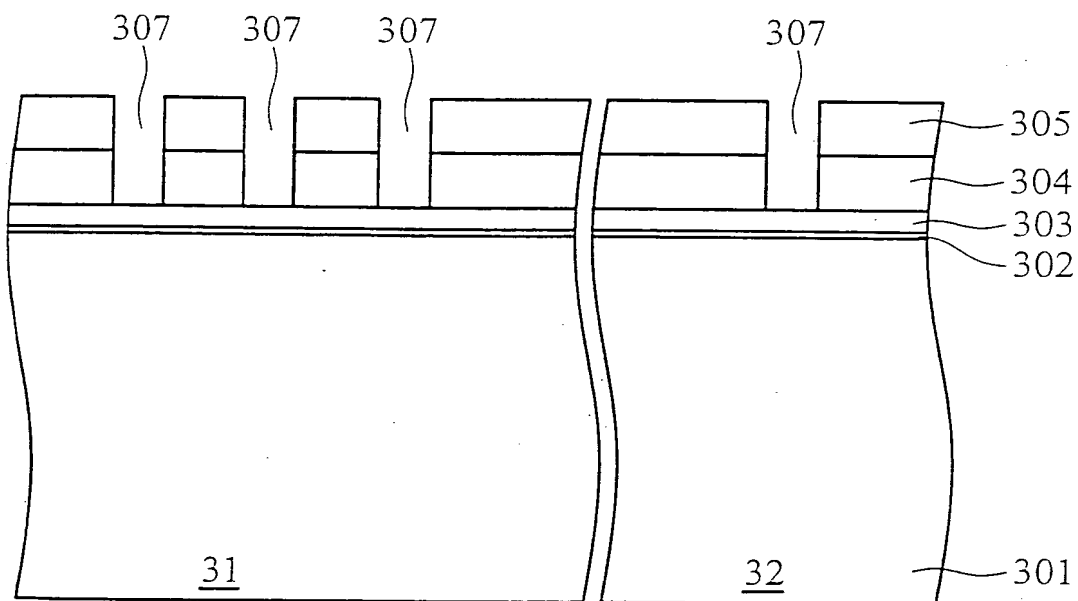
第 2h 圖



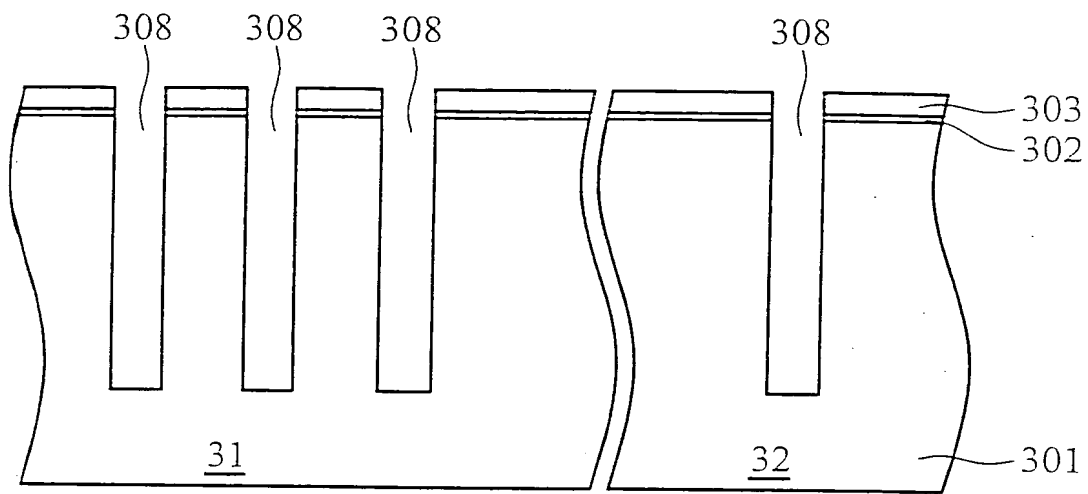
第2i 圖



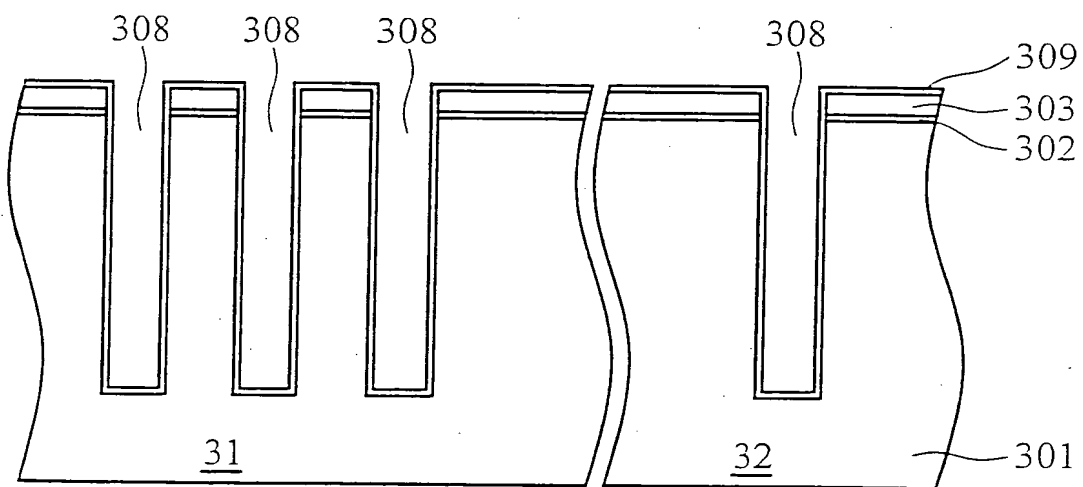
第3a圖



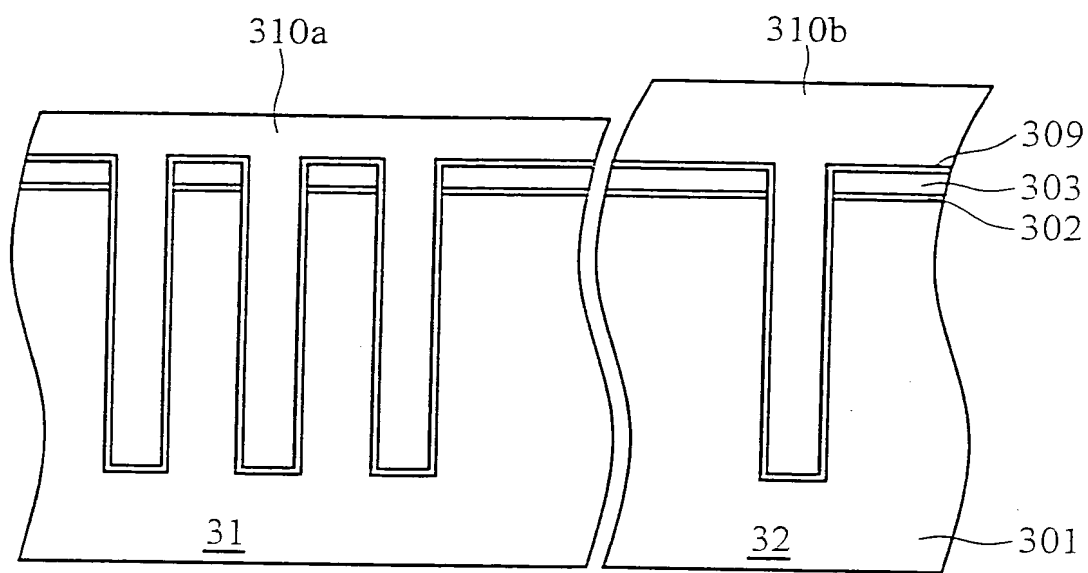
第3b圖



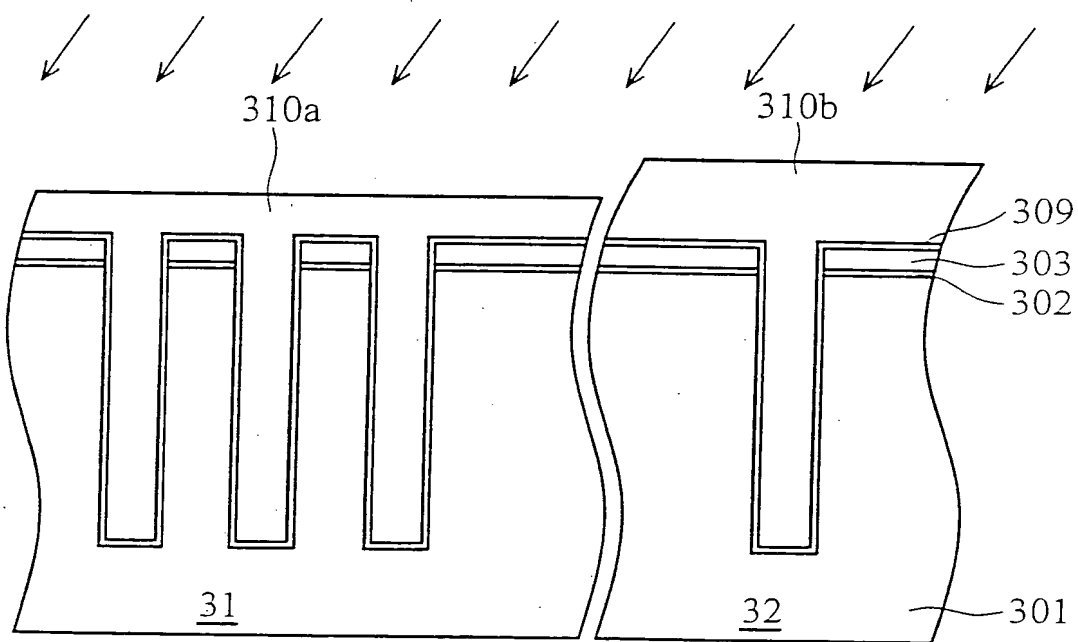
第3c 圖



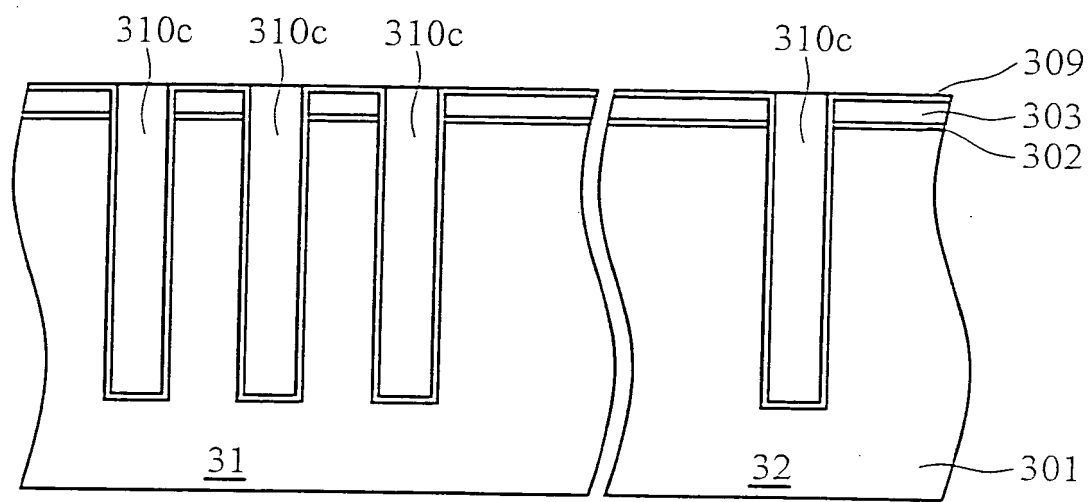
第3d 圖



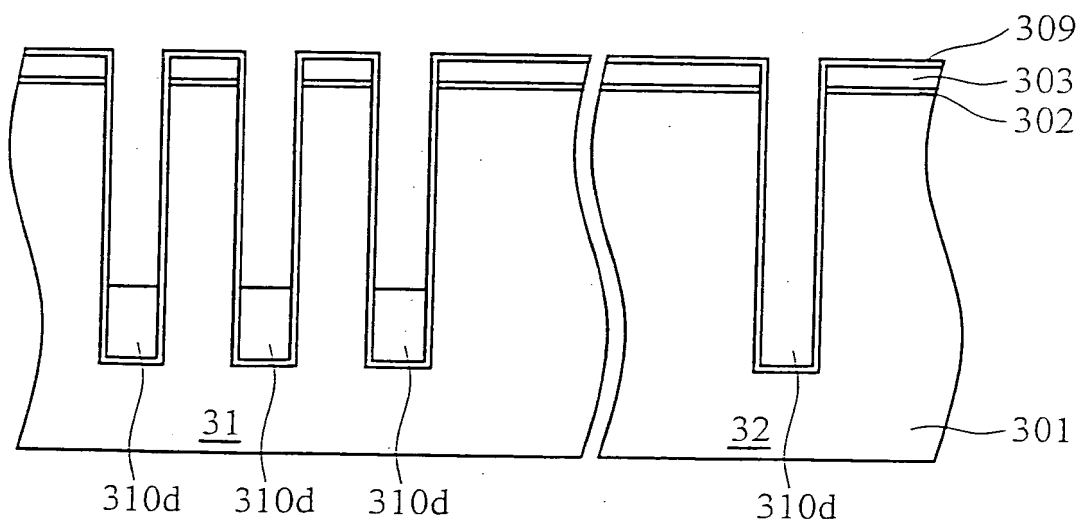
第 3e 圖



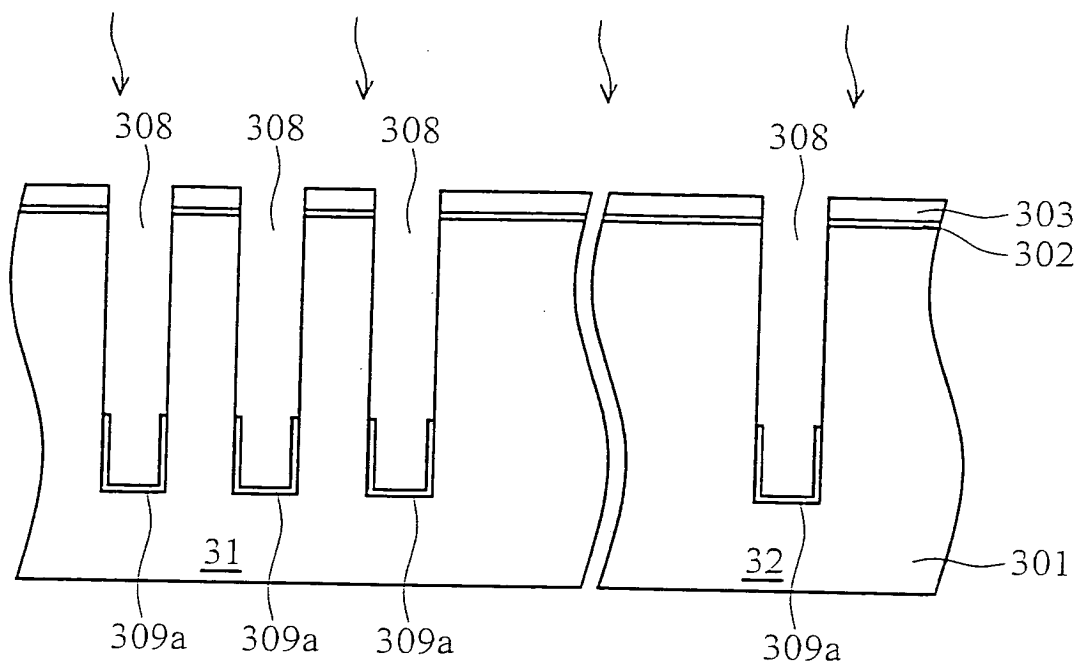
第 3f 圖



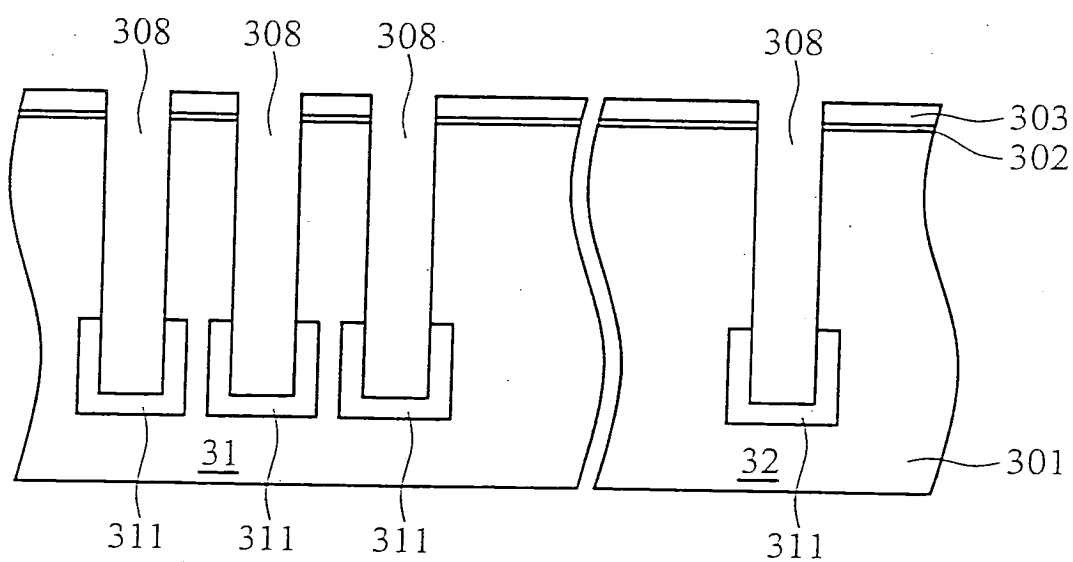
第 3g 圖



第 3h 圖



第3i圖

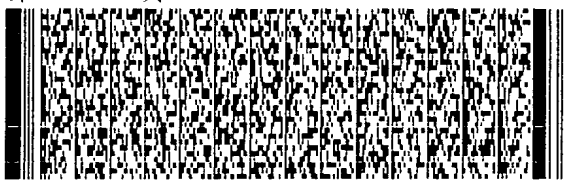


第3j圖

第 1/21 頁



第 2/21 頁



第 2/21 頁



第 3/21 頁



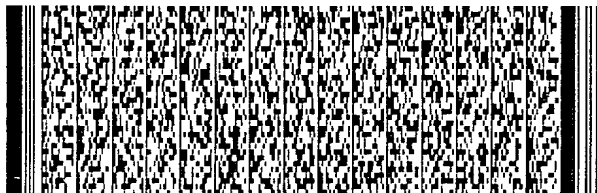
第 4/21 頁



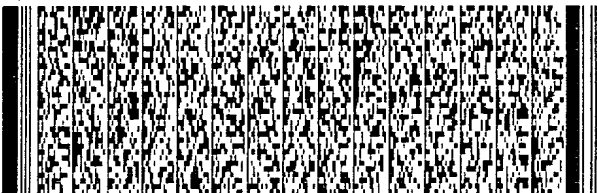
第 5/21 頁



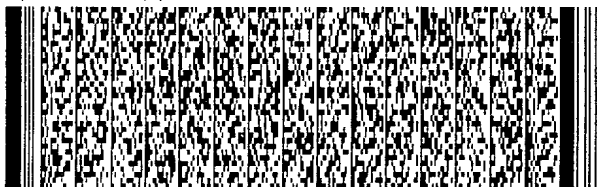
第 5/21 頁



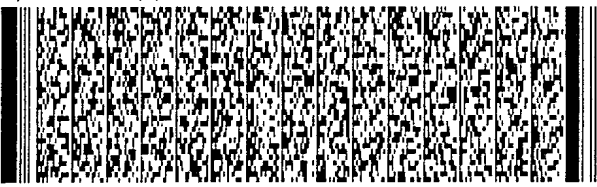
第 6/21 頁



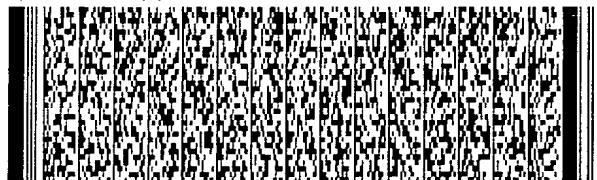
第 6/21 頁



第 7/21 頁



第 7/21 頁



第 8/21 頁



第 8/21 頁



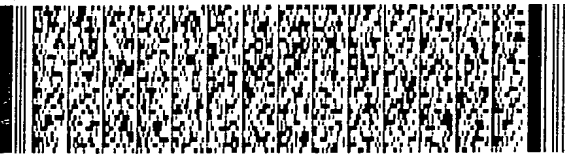
第 9/21 頁



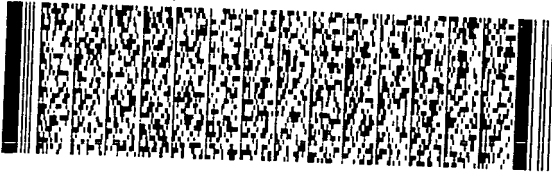
第 9/21 頁



第 10/21 頁



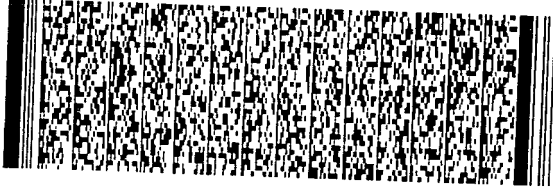
第 10/21 頁



第 11/21 頁



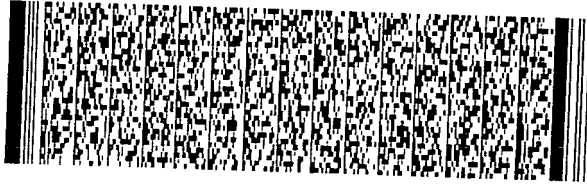
第 11/21 頁



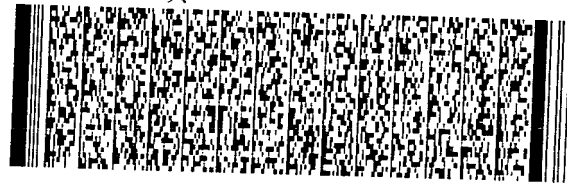
第 12/21 頁



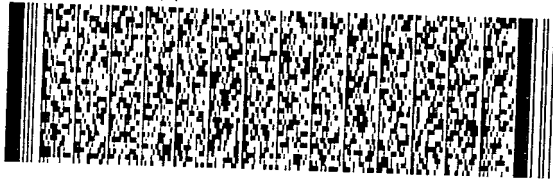
第 12/21 頁



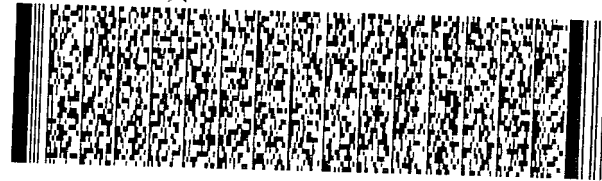
第 13/21 頁



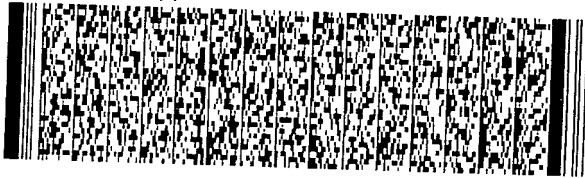
第 13/21 頁



第 14/21 頁



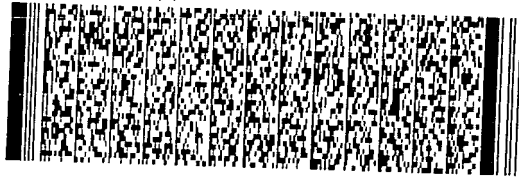
第 14/21 頁



第 15/21 頁



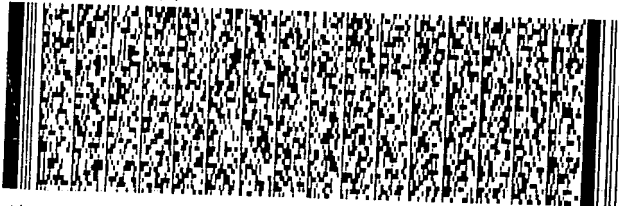
第 16/21 頁



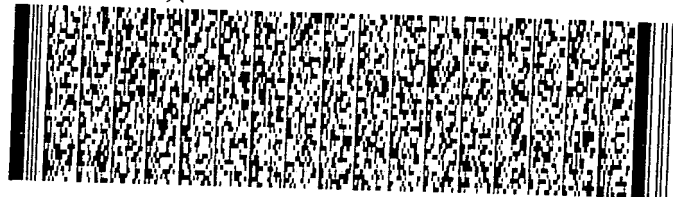
第 17/21 頁



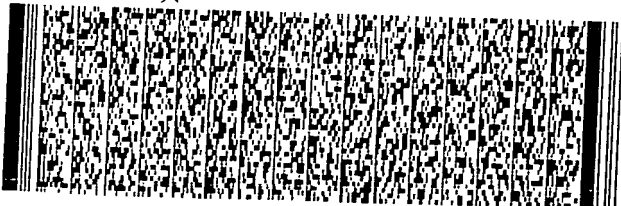
第 18/21 頁



第 19/21 頁



第 20/21 頁



第 21/21 頁

